

(Partial Translation)

(19) Japanese Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication No.: 05232509 A

(43) Date of publication: 10.09.93

(22) Date of filing: 21.02.92

(54) [Title of the invention]

**LIQUID CRYSTAL DISPLAY DEVICE**

*Page 2, 1<sup>st</sup> column, Claims 1-2*

**[Claims]**

**[Claim 1]** A liquid crystal display device having drain lines and gate lines arrayed in a matrix, a pixel electrode arrayed between both lines, an auxiliary capacity electrode which are connected under the pixel electrode, a switching element which connects the drain to the drain line and the gate to the gate line and the source to the pixel electrode, a liquid crystal stored between the pixel electrode and an opposite electrode, wherein the size of the auxiliary capacity electrode at the terminal end is smaller than that of the gate signal input end.

**[Claim 2]** A liquid crystal display device having drain lines and gate lines arrayed in a matrix, a pixel electrode arrayed between both lines, an auxiliary capacity electrode which are connected under the pixel electrode, a switching element which connects the drain to the drain line and the gate to the gate line and the source to the pixel electrode, a liquid crystal stored between the pixel electrode and an opposite electrode, wherein the auxiliary lines to which the auxiliary capacity electrodes are connected parallel to the gate lines are installed, and the size of the auxiliary capacity electrode at the terminal end is smaller than that of the gate signal input end.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05232509 A

(43) Date of publication of application: 10.09.93

(51) Int. Cl

G02F 1/136

G02F 1/133

G02F 1/1343

H01L 27/12

H01L 29/784

(21) Application number: 04035279

(71) Applicant: SANYO ELECTRIC CO LTD

(22) Date of filing: 21.02.92

(72) Inventor: NISHIKAWA RYUJI

(54) LIQUID CRYSTAL DISPLAY DEVICE

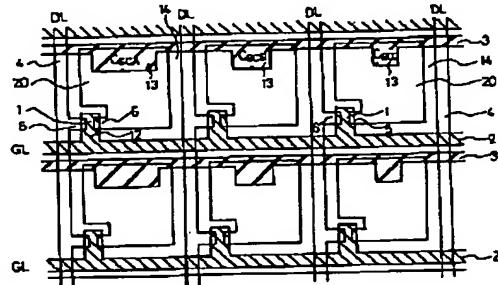
coupling-down  $\Delta V$  even if a gate signal attenuates at the far end.

(57) Abstract:

COPYRIGHT: (C)1993,JPO&Japio

PURPOSE: To suppress a brightness gradient and a partial flicker and to obtain a uniform display by forming an auxiliary capacity electrode large on the gate- signal input side of a gate line and small at the far end.

CONSTITUTION: Many gate lines GL2 are provided on a glass substrate in parallel to a lateral-axis direction, and auxiliary capacity lines 3 and auxiliary capacity electrodes 13 which are connected thereto are provided along the gate lines GL2. The gate lines GL3 and auxiliary capacity electrodes 13 are formed by vapor-depositing Mo-Ta alloy, etc. Then the auxiliary capacity electrodes 13 are extended to below picture element electrodes 20 from the auxiliary capacity lines 3 and the size is large on the gate signal input side, smaller on the intermediate side than on the input side, and smallest at the far end. Consequently, auxiliary capacitances are formed at the overlap parts of the picture element electrodes 20 and auxiliary capacity electrodes 13 so that CSCA>CSCB>CSCC, thereby compensating electric charging characteristics and



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-232509

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
	1/1343		9018-2K	
H 0 1 L	27/12	A	8728-4M	
			9056-4M	
			H 0 1 L 29/78	3 1 1 A
				審査請求 未請求 請求項の数2(全5頁) 最終頁に続く

(21)出願番号 特願平4-35279

(22)出願日 平成4年(1992)2月21日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 西川 龍司

大阪府守口市京阪本通2丁目18番地 三洋

電機株式会社内

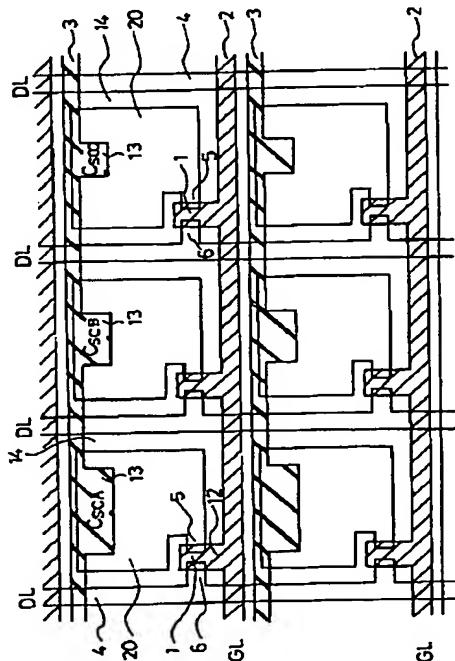
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 補助容量電極(13)の大きさをゲートラインGL(2)のゲート信号入力側で大きくし、遠端で小さく形成し、均一な表示ができる液晶表示装置を提供する。

【構成】 行列状に配列されたドレインラインDLとゲートラインGLと、両ライン間にマトリックス状に配列された画素電極とを備え、ゲート信号の入力側で大きくし、遠端で小さくして充電特性および寄生容量によるカップリングダウン $\Delta V$ の変化分を補償して、各画素電極のカップリングダウン $\Delta V$ を均一になるように構成されている。



## 【特許請求の範囲】

【請求項1】 行列状に配列されたドレインラインとゲートラインと、両ライン間にマトリックス状に配列された画素電極と、前記画素電極下に延在された補助容量電極と、前記ドレインラインにドレインを前記ゲートラインにゲートを前記画素電極にソースを接続したスイッチング素子と、前記画素電極と対向電極の間に設けた液晶材料とを具備した液晶表示装置において、前記補助容量電極をゲート信号の入力側より遠端の大きさを小さく形成することを特徴とする液晶表示装置。

【請求項2】 行列状に配列されたドレインラインとゲートラインと、両ライン間にマトリックス状に配列された画素電極と、前記画素電極下に延在された補助容量電極と、前記ドレインラインにドレインを前記ゲートラインにゲートを前記画素電極にソースを接続したスイッチング素子と、前記画素電極と対向電極の間に設けた液晶材料とを具備した液晶表示装置において、前記ゲートラインに平行に前記補助容量電極が接続された補助容量ラインを設け、各々の前記補助容量電極をゲート信号の入力側より遠端へ行くに従いその大きさを小さく形成することを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は液晶表示装置、特にゲート信号の充電特性やカップリング減衰によるフリッカーを抑制した液晶表示装置に関する。

## 【0002】

【従来の技術】 薄膜トランジスタ(TFT)を用いたアクティブマトリックス方式の液晶表示装置は、ディスプレイとして携帯テレビ、ビデオモニター、液晶プロジェクタとして利用化されている。この技術動向を詳細に説明したものとして、日経BP社が発行している「フラットパネル・ディスプレイ 1991」がある。この中には、種々の構造の液晶表示装置が記載されているが、ここではTFTを用いたアクティブマトリックス液晶表示装置を説明する。

【0003】 このアクティブ・マトリックス液晶表示装置は、例えば図3の如き構成を有する。先ず透明な絶縁性基板、例えばガラス基板(11)がある。このガラス基板(11)上には、TFTの一構成要素となるゲート(12)および補助容量電極(13)が、例えばMo-Ta合金等より形成されている。更に全面にはSiNxから成る膜(14)が積層されている。統いて前記ゲート(12)に対応するSiNx膜(14)上には、ノンドープのアモルファス・シリコン膜(15)およびN<sup>+</sup>型のアモルファス・シリコン膜(16)が積層され、この2層のアモルファス・シリコン膜(15)(16)の\*

$$\Delta V = \Delta V_g \times C_{os} / (C_{sc} + C_{sc} + C_{os})$$

ΔV<sub>g</sub>はゲート信号の電圧振幅値

\* 間には、半導体保護膜(17)が設けられている。統いてN<sup>+</sup>型のアモルファス・シリコン膜(16)上には、それぞれソース電極(18)およびドレイン電極(19)が、例えばMoとAlの積層体で設けられている。更には前記補助容量電極(13)に対応する前記SiNx膜(14)上に、例えばITOより成る画素電極(20)が設けられ、前記ソース電極(18)と電気的に接続されている。さらに全面に保護のため、SiNx膜(21)をバッシベーションし、その上に配向膜(22)を付着している。

【0004】 前記ガラス基板(11)と対向して、別のガラス基板(23)が設けられ、このガラス基板(23)上に対向電極(25)が設けられている。TFTに対向する部分に遮光膜(24)を設け、全面に共通の対向電極(25)を形成し、その上に配向膜(26)を付着する。そしてこの一対のガラス基板(11)(23)間に液晶(27)が注入され、液晶表示装置となる。

【0005】かかる液晶表示装置の各画素は図4に示すように、行列状に配列されたドレインラインDLとゲートラインGLにTFTのドレインとゲートを接続してマトリックス状に配列されている。斜線を付した液晶容量C<sub>sc</sub>は画素電極(20)と対向電極(25)間で形成され、斜線のない補助容量C<sub>os</sub>は画素電極(20)と補助容量電極(13)間で形成され、寄生容量C<sub>es</sub>はゲート(12)とソース電極(18)間で形成されている。

## 【0006】

【発明が解決しようとする課題】 かかる液晶表示装置では、1本のゲートラインGLに多数の画素が接続されて表示を行うので、ゲートラインGLから供給されるゲート信号が入力側と遠端では、充電特性や寄生容量C<sub>es</sub>によるカップリングダウンにより輝度傾斜や部分的フリッカーを生じる問題点があった。

【0007】具体的には、液晶パネルの大型化が進むと、ゲートラインGLが長くなり、そのライン抵抗が遠端では大きくなる。このために図5に示すように、実線で示すパルス形状のゲート信号はその入力側ではシャープな形となっていますが、ゲートラインGLの遠端ではその抵抗と容量成分によりその波形が減衰してしまう。即ち、点線で示すように遠端の画素電極では十分な充電を行えない。この結果、例えばノーマリホワイトのとき、ゲートラインGLの入力側では画素が黒であったものが、端部では同じ黒の信号でも灰色がかってしまう。

【0008】また、カップリングダウン電位ΔVは、  
【0009】

【数1】

【0010】で与えられる。前述したように、ゲート信号の減衰が遠端ほど大きくなるため、ゲート信号の電圧振幅値  $\Delta V_c$  がゲートライン GL の入力側より遠端では小さくなるので、 $\Delta V$  は数 1 より明らかなように入力側と遠端でその値が変化する。その結果、図 5 に示す最適な対向電極電位が入力側と遠端とで一致せず、部分的フリッカーが生じる。

#### 【0011】

【課題を解決するための手段】本発明は斯る諸々の問題点に鑑みてなされ、補助容量電極の大きさをゲート信号の入力側と遠端で変えることにより、充電特性を大幅に改善した液晶表示装置を実現するものである。

#### 【0012】

【作用】本発明によれば、補助容量電極の大きさをゲート信号の入力側で大きくし、遠端で小さくするので、補助容量  $C_{sc}$  が入力側で大きくなり、遠端で小さくなる。この結果、遠端でのゲート信号の振幅値  $\Delta V_c$  が低下する分を補助容量  $C_{sc}$  を小さくして充電特性や  $\Delta V$  を補正する。

#### 【0013】

【実施例】以下に本発明の実施例を図 1～図 2 を参照して説明する。図 1 は、本発明の液晶表示装置の等価回路図である。ゲートライン GL は横軸方向に多数本配列され、ドレインライン DL はゲートライン GL に直交するように多数本配列されている。従って、ゲートライン GL とドレインライン DL とは絶縁されて行列状、あるいは格子状に配列され、その間に形成された正方形状の空間に 1 画素が形成されている。1 画素には、スイッチング素子 (1) および画素電極 (20) が形成されている。

【0014】スイッチング素子 (1) は TFT で形成され、ドレインをドレインライン DL に接続され、ゲートをゲートライン GL に接続され、ソースを画素電極 (20) に接続されている。斜線を付した液晶容量  $C_{sc}$  は画素電極 (20) と対向電極 (25) 間で形成され、斜線のない補助容量  $C_{sc}$  は画素電極 (20) と補助容量電極 (13) 間で形成されている。

【0015】本発明の特徴とする点は補助容量  $C_{sc}$  の大きさにあります。図 1 を参照すれば、補助容量をゲート信号の入力側から、 $C_{scA}$ 、 $C_{scB}$ 、 $C_{scC}$  と表しており、その大きさを  $C_{scA} > C_{scB} > C_{scC}$  となるように設計している。次に図 2 を参照して、具体的に液晶表示装置の構造について説明する。断面構造は図 3 に示す従来のものと同一であるので、ここでは図 3 の符号を用いて平面構造を説明する。

【0016】ガラス基板上には斜線を付したゲートライン GL (2) を多数本、横軸方向に平行に設け、ゲートライン GL (2) に沿って補助容量ライン (3) とそれと接続された補助容量電極 (13) を平行に設けている。ゲートライン GL (3) および補助容量電極 (1

3) は、Mo-Ta 合金等の蒸着で形成され、その表面を陽極酸化膜 (28) で被覆している。

【0017】この上を全面に SiNx からなる絶縁膜 (14) で覆う。この絶縁膜 (14) 上にアモルファス・シリコン膜 (15) および N+ 型のアモルファス・シリコン膜 (16) を積層する。その後、両アモルファス・シリコン膜 (15)、(16) をエッチングして、チャンネル領域を形成するアモルファス・シリコン膜 (15) を残し、そのチャンネル領域上には半導体保護膜 (17) を設け、N+ 型のアモルファス・シリコン膜 (16) を半導体保護膜 (17) 上で離間して、ソース領域 (5) およびドレイン領域 (6) を形成する。ソース領域 (5) およびドレイン領域 (6) 上には、Mo と Al の積層構造のソース電極 (18) とドレイン電極 (19) が形成されている。絶縁膜 (14) の残余部分にはITO よりなる画素電極 (20) が設けられ、ソース電極 (18) によりソース領域 (5) と接続されている。なおドレインライン DL (4) はドレイン電極 (19) を形成するときに同時に形成され、ゲートライン GL (2) と直交するように配列されている。またゲートライン GL (2) はスイッチング素子 (1) のゲートを構成するように突出してそれぞれのチャンネル領域下に延在されている。

【0018】さらに補助容量電極 (13) は補助容量ライン (3) から画素電極 (20) の下に延在され、その大きさはゲート信号の入力側では大きくし、中間では入力側より小さくし、遠端では一番小さく形成している。またこの大きさの変化は、2 から 3 の段階的な変化でもよく、あるいは各画素ごとに順次その大きさを漸減してもよい。この結果、画素電極 (20) と補助容量電極 (13) の重畠部に形成される補助容量は、 $C_{scA} > C_{scB} > C_{scC}$  の関係に形成され、遠端でゲート信号が減衰しても充電特性やカッピングダウン  $\Delta V$  を補償できる。

【0019】なお本実施例のドレインライン DL (4) をソースラインと呼ぶ場合もありますが、本発明の実施の範囲内であることは明らかである。

#### 【0020】

【発明の効果】本発明によれば、補助容量電極 (13) の大きさをゲートライン GL のゲート信号の入力側を大きく形成し、遠端を小さく形成することにより、充電特性を補償し、寄生容量  $C_{cs}$  によるカッピングダウン電位  $\Delta V$  を均一にできる。この結果、大型液晶表示装置でも輝度傾斜、部分的フリッカーを抑制でき、均一な表示を得られる。

【0021】さらに本発明によれば、補助容量電極 (13) の変更のみで実現でき、現行の液晶表示装置へもすぐに応用できる。

#### 【図面の簡単な説明】

50 【図 1】本発明に依る液晶表示装置の等価回路図を説明

する回路図である。

【図2】本発明に依る液晶表示装置の画素の構造を説明する平面図である。

【図3】従来の液晶表示装置を説明する断面図である。

【図4】従来の液晶表示装置の等価回路図を説明する回路図である。

【図5】従来の液晶表示装置の動作原理を説明する波形図である。

【符号の説明】

- 1 スイッチング素子
- 2 ゲートライン GL
- 3 補助容量ライン
- 4 ドレインライン DL

\* 5 ソース領域

6 ドレイン領域

11 ガラス基板

12 ゲート

13 辅助容量電極

14 絶縁膜

15 アモルファス・シリコン膜

16 N<sup>+</sup>型のアモルファス・シリコン膜

17 半導体保護膜

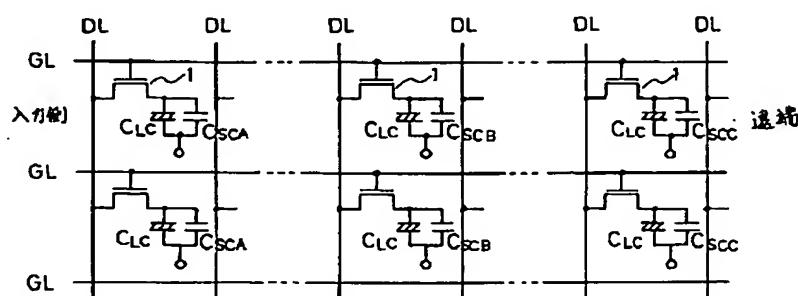
18, 19 ソース電極、ドレイン電極

20 画素電極

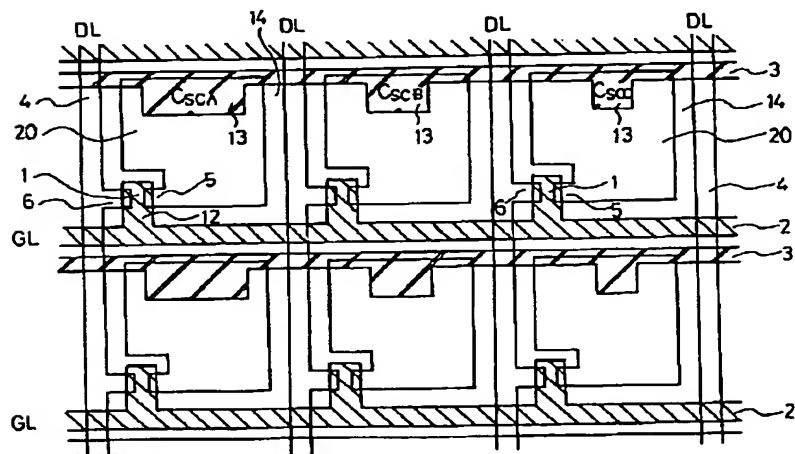
27 液晶

\*

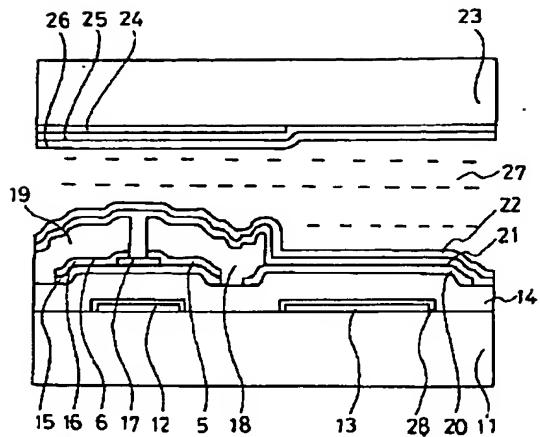
【図1】



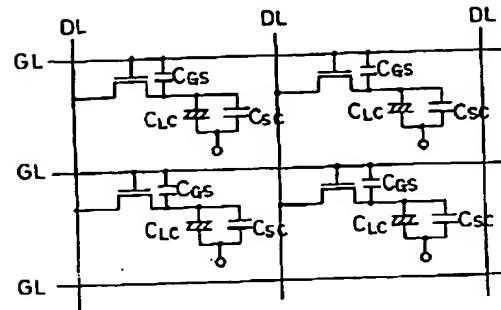
【図2】



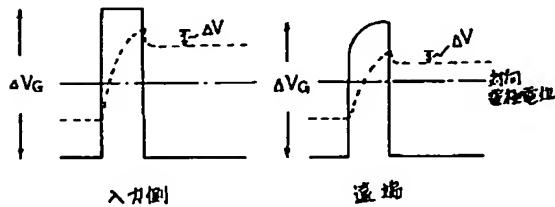
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.<sup>5</sup>  
H 01 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所